**东南大学电工电子实验中心**

**实验报告**

**课程名称：数字逻辑电路实验C**

**第 6 次实验**

**实验名称：时序逻辑电路**

**院（系）： 网络空间安全学院 专业：计算机类**

**姓名： 梁耀欣 学号：JS322405**

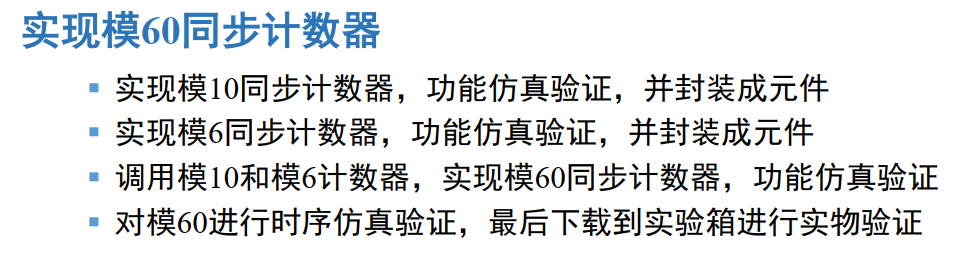
**实验室: 电子技术室502 实验组别：**

**同组人员： 实验时间：5月24日**

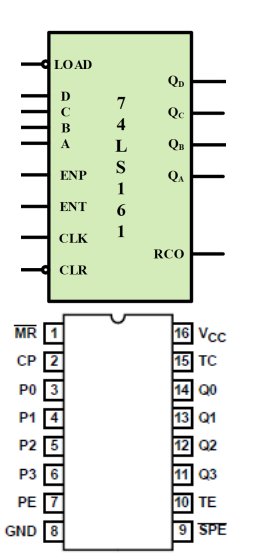
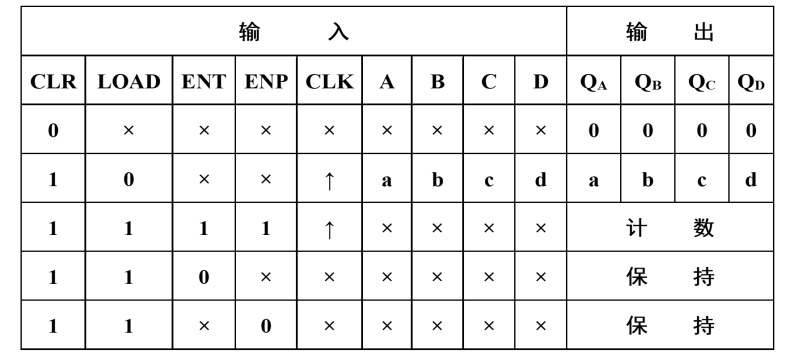
**评定成绩： 审阅教师：**

**实验六 可编程数字逻辑设计基础**

1. **实验目的和要求**



1. **实验原理**

1．74161器件原理

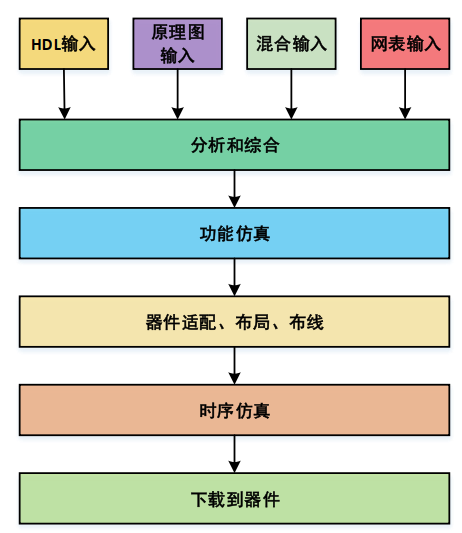
• CLR=0时异步清零；

• CLR=1、 LOAD=0时同步置数；

• CLR=LOAD=1且ENT=ENP=1时，按照4位二进制码进行同步计数；

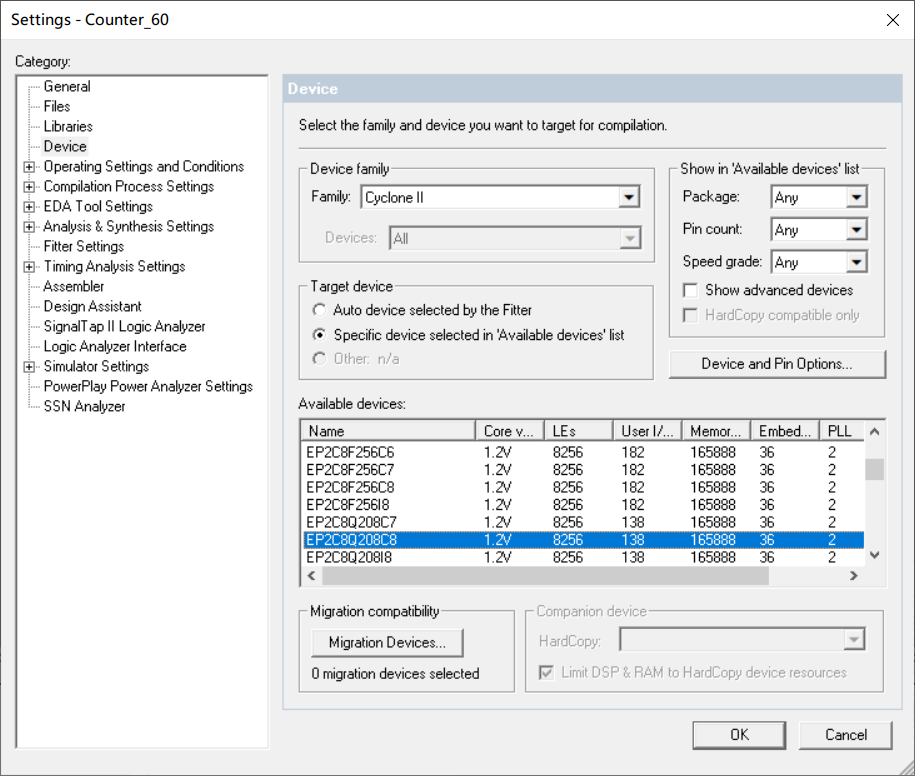
• CLR=LOAD=1且ENT·ENP=0时，计数器状态保持不变。

2.quartus软件的原理



1. **实验内容**
2. **观察并记录实验箱上的FPGA型号，新建一个Project，器件选用实验箱上的FPGA：**

实验箱上的FPGA型号为Cyclone II-EP2C8Q208C8，在Quartus中的Assignments-Devices中选择对应的器件：



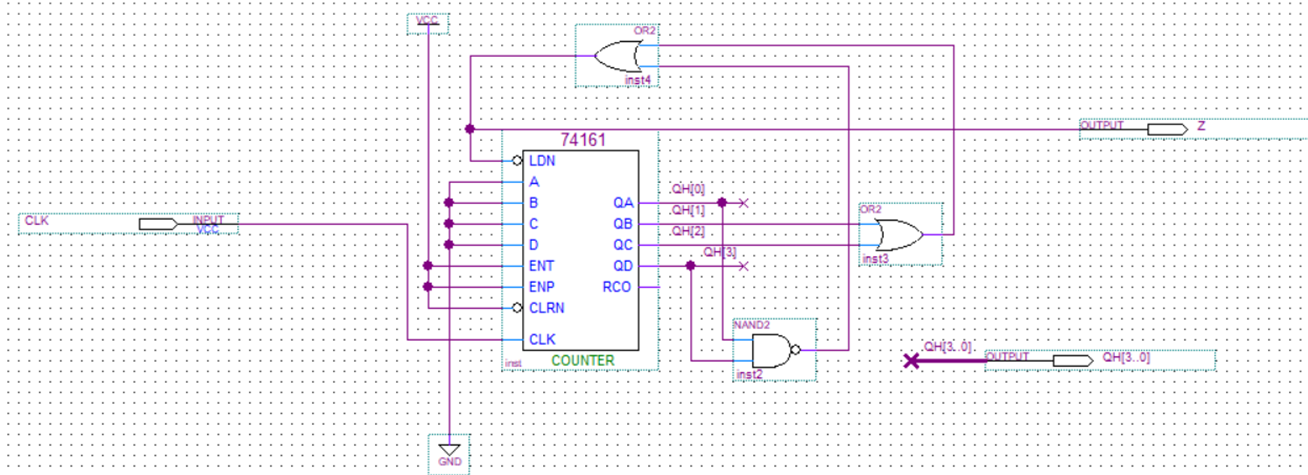
1. **新建一个原理图文件，用“74161”器件设计一个模10同步计数器，并用功能仿真进行验证：**
2. **实验思路和真值表：**

为了将74161模16计数器改为模10计数器，需要使用门电路。由于在使用异步清零法时，在清零时会出现不可避免的尖峰，所以需要使用同步送数法。有效计数状态为0000-1001，将74161的QA和QD进行与非操作并输入置数端，同时作为进位输出。并行输入端设为0000。输入时钟信号，在一个计数周期完成后输出进位信号。因此，经过这些操作，74161就可以被改造为所需的模10计数器。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  | LD | CR |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 |

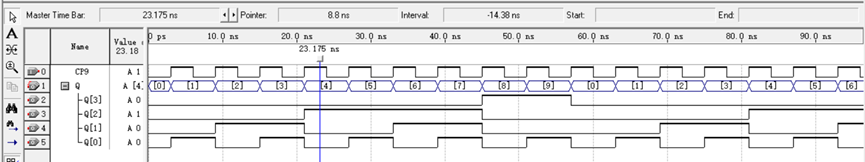
**化简可得：**

1. **逻辑电路图：**

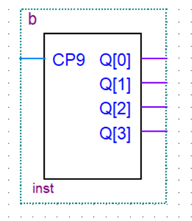
****

1. **使用功能仿真验证：**

创建波形文件，Clock接入时钟脉冲。



1. **点击“File->Create/Update->Create Symbol File for Current File”菜单项，将模10计数器封装成元件：**

****

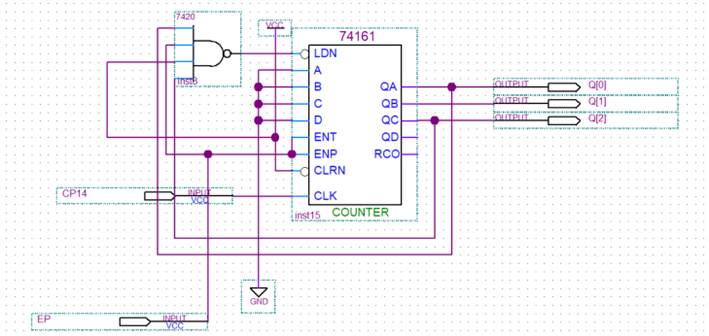
1. **新建一个原理图文件，用“74161”器件设计一个模6同步计数器，并用功能仿真进行验证：**
2. **思路和真值表：**

设计思路、方案与上述模10计数器相同，只须将计数状态改为0000-0101。

另外，为了实现两片计数器之间的操作，需要添加一个输入端，连接ENP、ENT，其输入应为模10计数器的输出端。

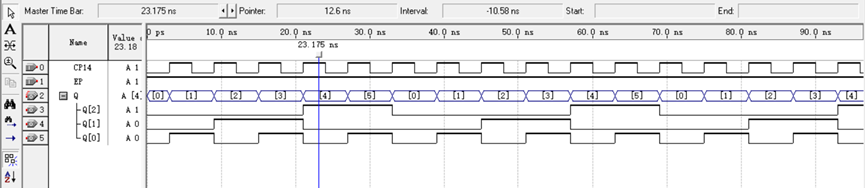
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  | LD | CR |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 |

1. **逻辑电路图：**

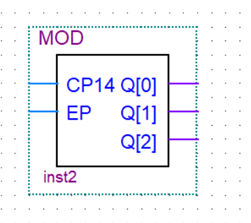
****

1. **使用功能仿真验证：**

创建波形文件，Clock接入时钟脉冲，EN接高电平。



1. **点击“File->Create/Update->Create Symbol File for Current File”菜单项，将模6计数器封装成元件：**

****

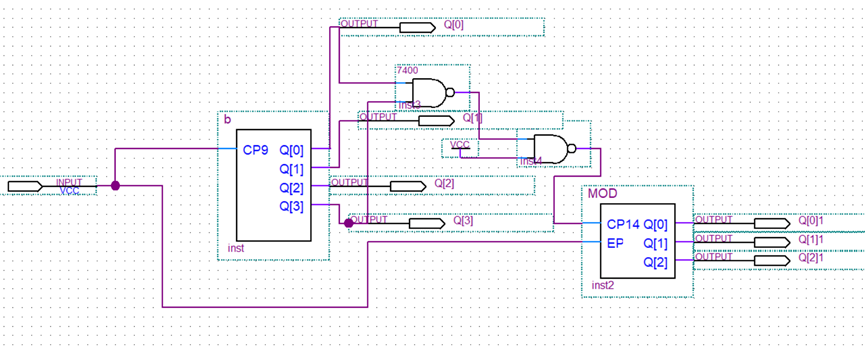
1. **新建一个原理图文件，调用前面完成的模6和模10计数器实现一个 模60同步计数器，并用功能仿真进行验证，用“Tools->Netlist Viewers->RTL Viewer”查看电路综合结果：**
2. **思路和真值表：**

按照前面的设计，将模10计数器作为低位，模6计数器作为高位，模10计数器的进位输出连接至模6计数器的ENT、ENP端，即封装好的模6计数器上所标注的EN输入，两片计数器共用同一个时钟源。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  | CP\_H |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |

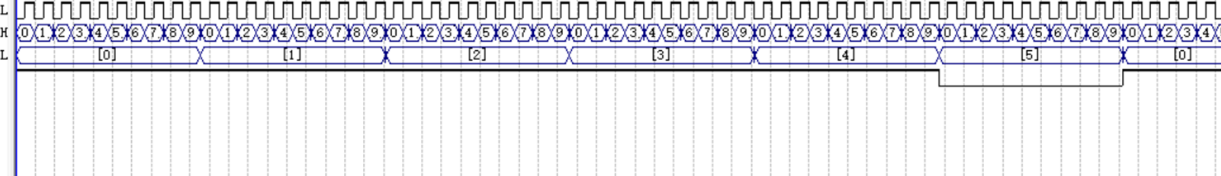
逻辑化简得：

1. **逻辑电路图：**

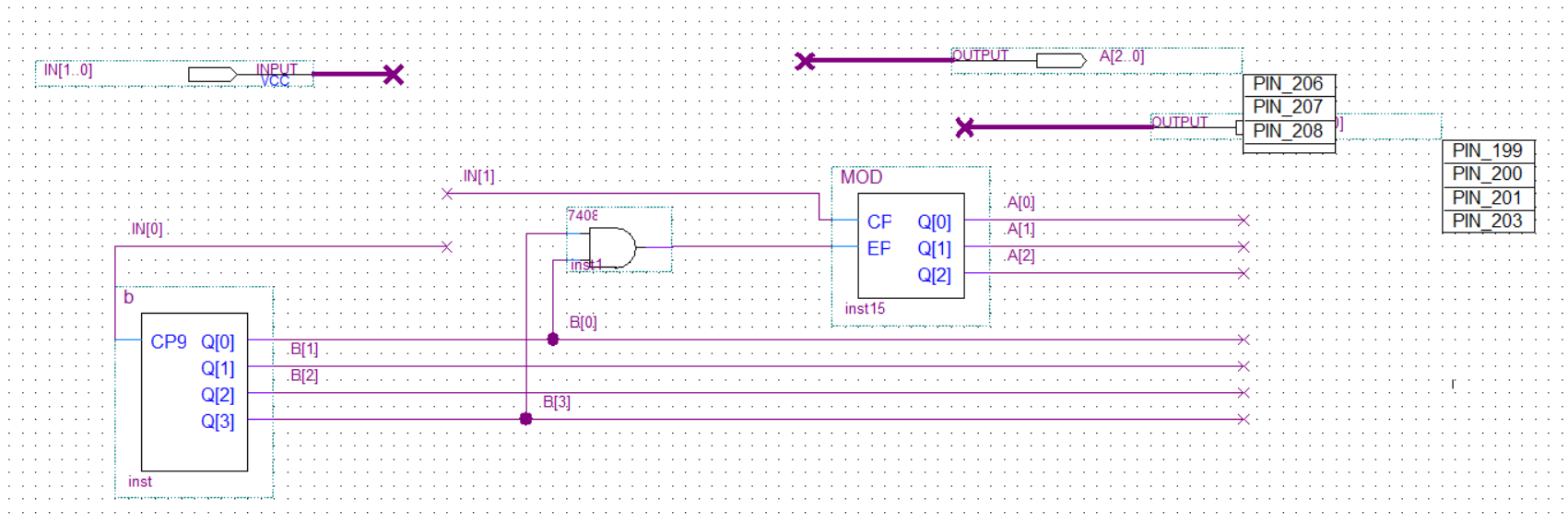
****

1. **使用功能仿真验证：**

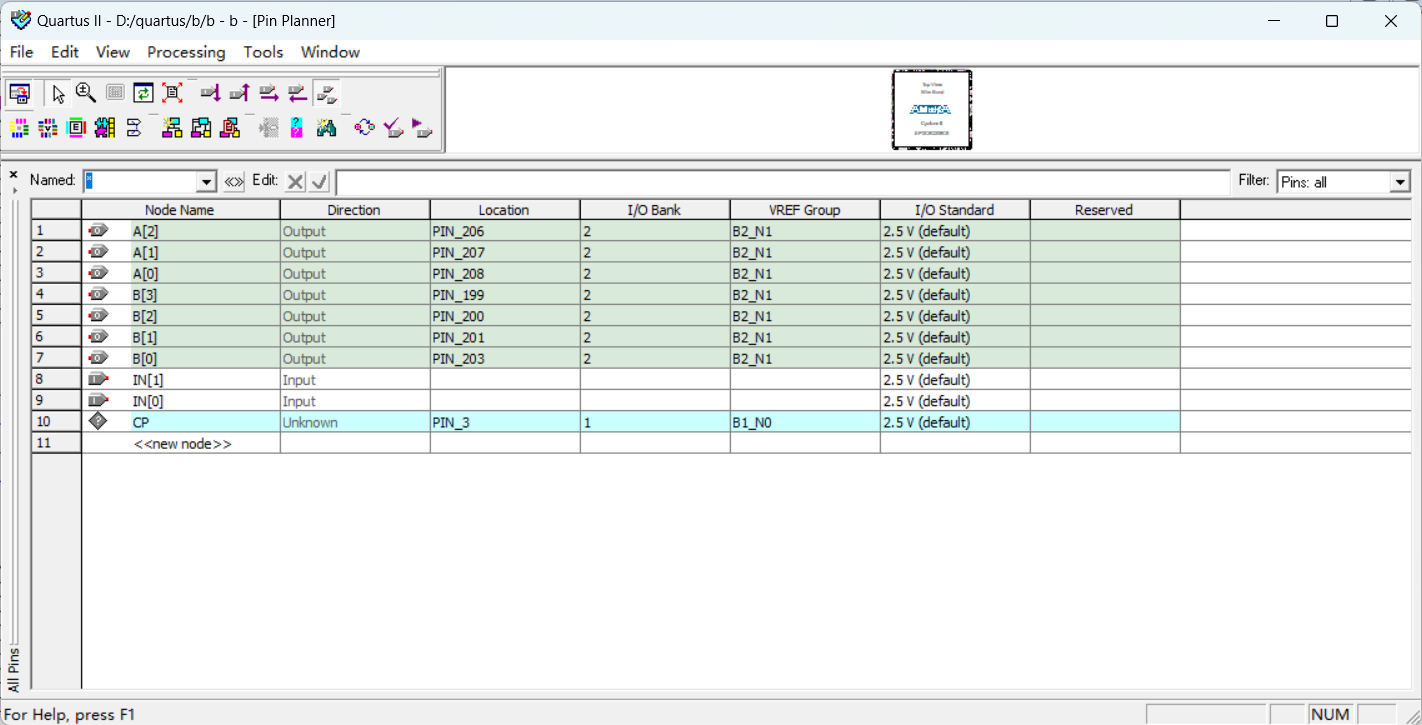
创建波形文件，Clock接入时钟脉冲，EN接高电平。



1. **（选做）参看 7.6节“总线（Bus）功能”，将模60计数器的输入输出信号用总线的方式引出，并封装成元件：**

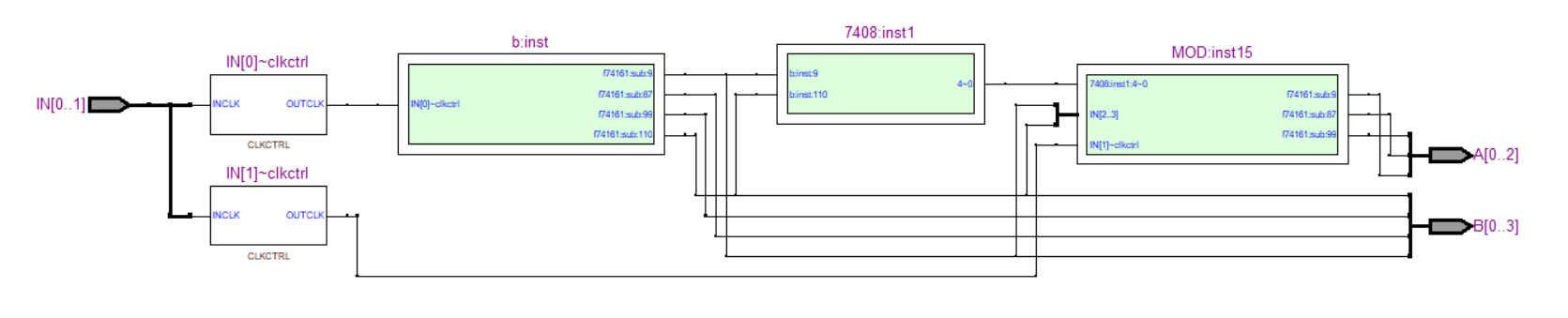
****

1. **分配管脚并适配编译，用“Tools->Netlist Viewers->Technology Map Viewer”查看电路Map结果；用“Tools->Chip Planner”查看器件适配结果，并用时序仿真进行验证：**
2. **分配管脚：**

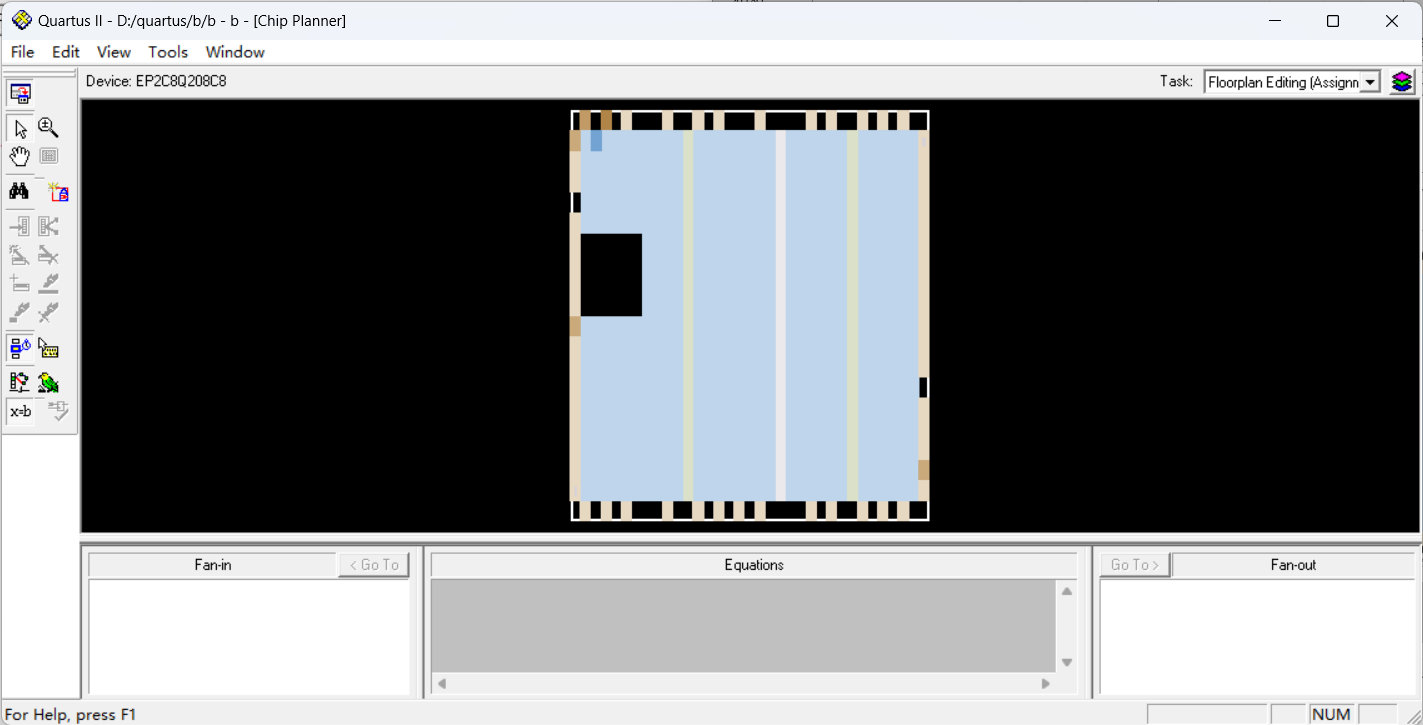


将mod10的四位输出和mod6的四位输出均分别连接到数码管上，总进位输出连接到外部的LED灯上，记满60次后亮起一个时钟周期。

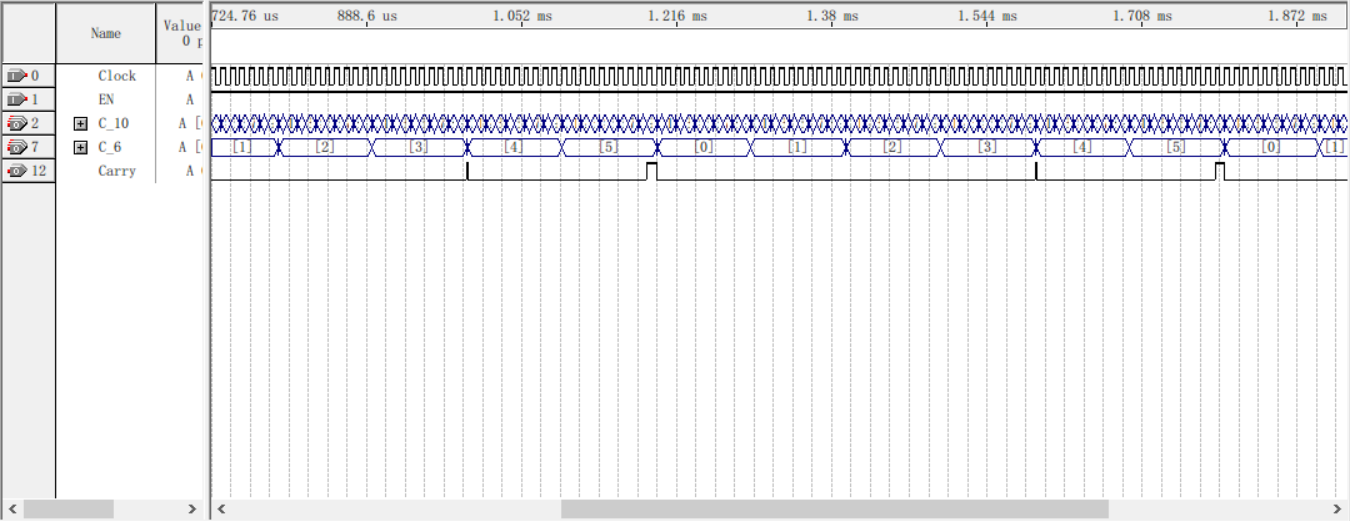
1. **在Technology Map Viewer中查看电路Map结果：**



1. **在Chip Planner中查看器件适配结果：**



1. **使用时序仿真进行验证：**



1. **将模60计数器下载到实验箱，连接时钟进行实物验证：**
2. **实验反思**

在这次实验中，我发现自己的软件使用还不够成熟，需要不断熟练掌握。同时，在文件建立的过程中也存在一些掌握不熟的情况。在实验中，我遇到了功能仿真与时序仿真波形不符的情况，但在同学的指导下，我最终通过完善电路设计，消除竞争险象，实现了预期的波形。

通过本次实验，我学会了使用Quartus软件，并能够编程设计芯片，但在使用上还不够熟练，出现了一些错误操作。在实践中，我不仅需要掌握相关知识和技能，还需要不断学习和提高自己的操作和解决问题的能力。同时，也需要认真总结实验中遇到的问题和解决措施，吸取经验教训，以便在以后的实验和工作中更好地应对各种挑战和问题。